

(11)特許出願公開番号
特開2001-358319
(P2001-358319A)

【特許請求の範囲】

【請求項1】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによ

って半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備することを特徴とする交差ゲート構造を持つ半導体装置。

【請求項2】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによ

って半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造をゲートアレイ用ベースアレイとして具備することを特徴とする交差ゲート構造を持つ半導体装置。

【請求項4】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによ

って半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートをポリシリコンからなるゲート配線部分で結んだ構造を具備することを特徴とする交差ゲート構造を持つ半導体装置。

【請求項5】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによ

って半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結んだ構造を具備することを特徴とする交差ゲート構造を持つ半導体装置。

【請求項6】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによ

って半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結ぶとともに、前記第2のP型トランジスタと第1のN型トランジスタのゲートをポリシリコンからなる配線部材で結んだ構造を具備することを特徴とする交差ゲート構造を持つ半導体装置。

【請求項7】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型ト

ランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、ゲート分離構造を具備する構成単位とを混在させたことを特徴とする請求項1ないし請求項6のいずれかに記載の交差ゲート構造を持つ半導体装置。

【請求項8】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、酸化膜分離構造を具備する構成単位とを混在させたことを特徴とする請求項1ないし請求項6のいずれかに記載の交差ゲート構造を持つ半導体装置。

【請求項9】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結ぶとともに、前記第2のP型トランジスタと第1のN型トランジスタのゲートを

金属配線で結んだ構造を具備することを特徴とする交差ゲート構造を持つ半導体装置。

【請求項10】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結ぶとともに、前記第2のP型トランジスタと第1のN型トランジスタのゲートをタングステンからなる金属配線で結んだ構造を具備することを特徴とする交差ゲート構造を持つ半導体装置。

【請求項11】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、ゲート分離構造を具備する構成単位とを混在させたことを特徴とする請求項9または請求項10に記載の交差ゲート構造を持つ半導体装置。

【請求項12】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタ

のゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、酸化膜分離構造を具備する構成単位とを混在させたことを特徴とする請求項9または請求項10に記載の交差ゲート構造を持つ半導体装置。

【請求項13】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んで交差ゲート構造を持つベースアレイを構成する工程と、前記交差ゲート構造を持つベースアレイに所定の配線を施し半導体装置を構成することを特徴とする交差ゲート構造を持つ半導体装置の製造方法。

【請求項14】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んで交差ゲート構造を持つエンベデッドセルアレイ用ベースアレイとして構成する工程と、前記交差ゲート構造を持つエンベデッドセルアレイ用ベースアレイに所定の配線を施し半導体装置を構成する工程とを含むことを特徴とする交差ゲート構造を持つ半導体装置の製造方法。

【請求項15】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位

位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んで交差ゲート構造を持つゲートアレイ用ベースアレイを構成する工程と、前記交差ゲート構造を持つゲートアレイ用ベースアレイに所定の配線を施し半導体装置を構成する工程とを含むことを特徴とする交差ゲート構造を持つ半導体装置の製造方法。

【請求項16】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲートを結ぶポリシリコンからなるゲート配線部分について、このゲート配線部分を前記両ゲートと一体に形成する工程を含むことを特徴とする交差ゲート構造を持つ半導体装置の製造方法。

【請求項17】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲートを結ぶポリシリコンからなるゲート配線部分について、このゲート配線部分を前記両ゲートと一体に形成する工程と、第2のP型トランジスタと第1のN型トランジスタのゲートをポリシリコンからなる配線部材で結ぶ工程とを含むことを特徴とする交差ゲート構造を持つ半導体装置の製造方法。

【請求項18】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型ト

ランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、前記交差ゲート構造を具備しない構成単位とを混在させ、それぞれの構成単位で所定の論理セルを構成するものにおいて、各論理セルにつき交差ゲート構造の有無に応じて論理セルのレイアウトを選択する工程と、選択されたレイアウトにより論理セルを構成する工程とを含むことを特徴とする交差ゲート構造を持つ半導体装置の製造方法。

【請求項19】 第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、前記交差ゲート構造を具備しない構成単位とを混在させ、それぞれの構成単位で所定の論理セルを構成するものにおいて、各論理セル毎に、交差ゲート構造の有無、交差ゲートの位置により、互いに異なった複数のレイアウトを用意する工程と、チップレベルのセル配置で、ベースアレイ上で、各論理セルが配置される位置を確定する工程と、当該位置でのベースアレイのトランジスタ構造に適合する論理セルのレイアウトを選択する工程と、各論理セルの位置と使用する論理セルのレイアウトの確定を行う工程とを含むことを特徴とする交差ゲート構造を持つ半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、交差ゲート構造を持つ半導体装置およびその製造方法、特に、論理LSIのチップ面積の縮小を目的とするエンベデッドセルアレイ／ゲートアレイ用のトランジスタ構造に関するものである。

【0002】

【従来の技術】論理LSIのレイアウトを実現する代表的な方法として、エンベデッドセルアレイ方式（EC

A）、ゲートアレイ方式（GA）がある。ECAとGAでは、あらかじめ、P／Nトランジスタペアの列を敷き詰めたものを用意しておき（これをベースアレイと呼ぶ）、これらのトランジスタ間を、金属配線で結線することで所望の論理を実現する。LSIの論理設計が終了する以前にベースアレイ部分を製造しておき、論理設計終了後は、金属配線部分のみを製造する。このため、LSI製造期間が短くて済むという特長を持つ。反面、あらかじめ決められた構造のトランジスタを敷き詰めておくために、実現すべき回路毎に、トランジスタの位置や、トランジスタ間を結ぶ配線を最適化できない。例えば、金属配線に比べて高抵抗のポリシリコン配線で結線しても、性能上問題のない部分でも、ベースアレイの段階で接続されていないトランジスタ間配線は、金属配線を使用するしかない。これらの制約により、できあがるLSIの面積が小さくできないというデメリットがある。

【0003】ECA／GAの代表的なベースアレイ構造として、ゲート分離と酸化膜分離がある。ゲート分離方式では、図13に示すように、P型トランジスタとN型トランジスタは隙間なく並んでおり、隣接するトランジスタ同士は、ソース／ドレイン領域を共有している。トランジスタ間を電気的に分離したい場合には、金属配線の段階で、P／Nトランジスタをそれぞれ電源／グランドに接続して、これらをOFFさせる（図15のA、Bのトランジスタ）。このOFFしたP／Nトランジスタ対を分離ゲートと呼ぶ。分離ゲートによって、その両側に存在するトランジスタが分離する。これに対して、酸化膜分離方式では、ベースアレイ上のトランジスタは、いくつかおきに、あらかじめ酸化膜で電気的に分離してある。通常ベースアレイのP／Nトランジスタペアのゲートは、ポリシリコンであらかじめ接続されている。図14の例では、2組のP／Nトランジスタペア毎に、拡散領域が酸化膜で分離されている。

【0004】いずれの方式でも、ベースアレイ上のトランジスタ間を金属パターンで結線することにより、所望の論理を形成する。図15はそれぞれのベースアレイで、Nand論理を、金属配線によって実現した例である。ゲート分離方式は、酸化膜分離方式に比べて、電気的に分離したいところだけに、金属配線によって分離ゲートを挿入できるため、無駄なトランジスタの分離領域がない。一方、P／Nトランジスタのゲートをベースアレイの段階であらかじめ接続できない（分離ゲートにする可能性があるため）ので、これらの間も金属配線で結ぶ必要があり、酸化膜分離方式に比べて、金属配線が混雑しやすい。

【0005】このように、ベースアレイ上にあらかじめ決められた構造のトランジスタを並べるため、実現すべき回路によっては、金属配線が混雑することがある。最も代表的な例が、図16に示すトランスミッションゲー

ト(以下、TGという)である。TGは、2つの信号が衝突しないようにするスイッチの役割をする回路であり、論理LSIで多用されるフリップフロップ(以下、FFという)やセレクト回路の中で用いられる。図16の通り、TGは2つのP/Nトランジスタペア(A、B、C、Dの4トランジスタ)で構成されている。

【0006】図17にTGをゲート分離方式のベースアレイ上に実現した例を示す。この例では、トランジスタ間を金属配線(第1層のアルミ配線: 1ALと表記)で結んでいる。二つのP/Nトランジスタペア間を結ぶのに、多くの金属配線領域が必要であることがわかる。

【0007】図18に酸化膜分離方式のベースアレイ上にTGを実現した例を示す。ゲート分離方式ほどではないが、1AL配線が迂回しているのがわかる。

【0008】ここで示したように、従来のベースアレイ構造では、TGの実現に多くの金属配線領域が必要となるため、結果として論理LSI全体の機能を実現するのに必要な金属配線領域も増え、LSIのチップ面積が増大するという問題点があった。

【0009】

【発明が解決しようとする課題】この発明は、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を持つ半導体装置およびその製造方法を得ようとするものである。

【0010】

【課題を解決するための手段】第1の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備するようにしたものである。

【0011】第2の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列

を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造をエンベデッドセルアレイ用ベースアレイとして具備するようにしたものである。

【0012】第3の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造をゲートアレイ用ベースアレイとして具備するようにしたものである。

【0013】第4の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートをポリシリコンからなるゲート配線部分で結んだ構造を具備するようにしたものである。

【0014】第5の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位

11

として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結んだ構造を具備するようにしたものである。

【0015】第6の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結ぶとともに、前記第2のP型トランジスタと第1のN型トランジスタのゲートをポリシリコンからなる配線部材で結んだ構造を具備するようにしたものである。

【0016】第7の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、ゲート分離構造を具備する構成単位とを混在させたものである。

【0017】第8の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタ

12

ンジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、酸化膜分離構造を具備する構成単位とを混在させたものである。

【0018】第9の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結ぶとともに、前記第2のP型トランジスタと第1のN型トランジスタのゲートを金属配線で結んだ構造を具備するものである。

【0019】第10の発明に係る交差ゲート構造を持つ半導体装置では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結ぶとともに、前記第2のP型トランジスタと第1のN型トランジスタのゲートをタングステンからなる金属配線で結んだ構造を具備するものである。

【0020】第11の発明に係る交差ゲート構造を持つ半導体装置では、第9または第10の発明において、第1のP型トランジスタと第2のN型トランジスタのゲ

ト、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、ゲート分離構造を具備する構成単位とを混在させたものである。

【0021】第12の発明に係る交差ゲート構造を持つ半導体装置では、第9または第10の発明において、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、酸化膜分離構造を具備する構成単位とを混在させたものである。

【0022】第13の発明に係る交差ゲート構造を持つ半導体装置の製造方法では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んで交差ゲート構造を持つベースアレイを構成する工程と、前記交差ゲート構造を持つベースアレイに所定の配線を施し半導体装置を構成するようにしたものである。

【0023】第14の発明に係る交差ゲート構造を持つ半導体装置の製造方法では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んで交差ゲート構造を持つエンベッデッドセルアレイ用ベースアレイとして構成する工程と、前記交差ゲート構造を持つエンベッデッドセルアレイ用ベースアレイに所定の配線を施し半導体装置を構成する工程とを含むようにしたものである。

【0024】第15の発明に係る交差ゲート構造を持つ

半導体装置の製造方法では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んで交差ゲート構造を持つゲートアレイ用ベースアレイを構成する工程と、前記交差ゲート構造を持つゲートアレイ用ベースアレイに所定の配線を施し半導体装置を構成する工程とを含むようにしたものである。

【0025】第16の発明に係る交差ゲート構造を持つ半導体装置の製造方法では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲートを結ぶポリシリコンからなるゲート配線部分について、このゲート配線部分を前記両ゲートと一体に形成する工程を含むようにしたものである。

【0026】第17の発明に係る交差ゲート構造を持つ半導体装置の製造方法では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲートを結ぶポリシリコンからなるゲート配線部分について、このゲート配線部分を前記両ゲートと一体に形成する工程と、第2のP型トランジスタと第1のN型トラン

ジスタのゲートをポリシリコンからなる配線部材で結ぶ工程とを含むようにしたものである。

【0027】第18の発明に係る交差ゲート構造を持つ半導体装置の製造方法では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、前記交差ゲート構造を具備しない構成単位とを混在させ、それぞれの構成単位で所定の論理セルを構成するものにおいて、各論理セルにつき交差ゲート構造の有無に応じて論理セルのレイアウトを選択する工程と、選択されたレイアウトにより論理セルを構成する工程とを含むようにしたものである。

【0028】第19の発明に係る交差ゲート構造を持つ半導体装置の製造方法では、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、前記交差ゲート構造を具備しない構成単位とを混在させ、それぞれの構成単位で所定の論理セルを構成するものにおいて、各論理セル毎に、交差ゲート構造の有無、交差ゲートの位置により、互いに異なった複数のレイアウトを用意する工程と、チップレベルのセル配置で、ベースアレイ上で、各論理セルが配置される位置を確定する工程と、当該位置でのベースアレイのトランジスタ構造に適合する論理セルのレイアウトを選択する工程と、各論理セルの位置と使用する論理セルのレイアウトの確定を行う工程とを含むようにしたものである。

【0029】

【発明の実施の形態】実施の形態1. この発明による実施の形態1を、図1ないし図3について説明する。図1は実施の形態1における交差ゲート構造を持つベースアレイからなる半導体装置の構成を示す平面図である。図2は実施の形態1における交差ゲート構造を持つベースアレイからなる半導体装置の構成によって実現したTGを示す平面図である。図3は実施の形態1における交差ゲート構造を持つベースアレイからなる半導体装置の構成によって実現したNand論理を示す平面図である。

【0030】図において、1はP型トランジスタP1を構成するゲート、2はP型トランジスタP2を構成するゲート、3はN型トランジスタN3を構成するゲート、4はN型トランジスタN4を構成するゲート、Sは外部電源に接続された電源配線、Gは接地部位と同電位のグランド配線である。図1に示すように、第1のP型トランジスタP1と第1のN型トランジスタN3とは、対をなして配置されており、所定の平面における第1の方向、すなわち図示紙面の上下方向において、所定の間隔を保ち配置されている。第2のP型トランジスタP2と第2のN型トランジスタN4とは、同じく、所定の平面における第1の方向、すなわち図示紙面の上下方向において、所定の間隔を保ち配置されている。また、第1のP型トランジスタP1と第2のP型トランジスタP2、および、第1のN型トランジスタN3と第2のN型トランジスタN4は、前記所定の平面における前記第1の方向と直角をなす第2の方向、すなわち図示紙面の左右方向において、互いに所定の間隔を置いて並設されている。そして、第1のP型トランジスタP1と第2のP型トランジスタP2は、前記所定の平面における第2の方向、すなわち図示紙面の左右方向に延在するP型トランジスタ列を形成しており、第1のN型トランジスタN3と第2のN型トランジスタN4は、前記所定の平面における第2の方向、すなわち図示紙面の左右方向に延在し、前記P型トランジスタ列と並行するN型トランジスタ列を形成している。

【0031】ここで、P型トランジスタP1のゲート1とN型トランジスタN4のゲート4は、P型トランジスタP1からN型トランジスタN4へ斜めに延長し両ゲート1、4と一体に設けられたポリシリコンからなるポリゲート(Polyゲート)と呼ばれるゲート配線5で結ばれている。また、P型トランジスタP2のゲート2とN型トランジスタN3のゲート3は、ポリシリコンからなるポリビット(Poly bit)と呼ばれる配線部材6で結ばれている。この構成により、P型トランジスタP1、P2およびN型トランジスタN3、N4からなる4個のトランジスタにおいて、交差ゲート構造が実現されることになる。

【0032】そして、P型トランジスタP1およびN型トランジスタN3のペアと、このペアと対をなすP型ト

ランジスタP2およびN型トランジスタN4のペアからなる、2ペアで4個のトランジスタP1、P2、N3、N4は、一つの構成単位Uを形成し、この構成単位Uが複数個並設されてエンベデッドセルアレイ/ゲートアレイ用ベースアレイが構成されている。

【0033】この実施の形態1では、P型トランジスタ2個とN型トランジスタ2個を一つの単位として、図1に示すようにポリゲート(Polyゲート)5とポリビット(Poly bit)6を使って、右上側にあるPトランジスタP2と左下側のNトランジスタN3のゲート2、3、左上側にあるPトランジスタP1と右下側にあるNトランジスタN4のゲート1、4を、互いに交差するように結んだ構造(交差ゲート構造)を持つベースアレイを構成している。これにより、TGを構成するのに必要な金属配線を減らすことができる。

【0034】図2に、このベースアレイ上に、TGを構成した場合の金属配線のパターンを示す。ここでは、図1に示すベースアレイが用いられている。図1について説明したポリゲート(Polyゲート)5とポリビット(Poly bit)からなる配線部材6による交差ゲート構造を持つP型トランジスタP1およびP型トランジスタP2、ならびに、N型トランジスタN3とN型トランジスタN4からなる4個のトランジスタからなる構成単位Uにおいて、トランジスタP1、P2、N3、N4の各ソース、ドレイン領域を構成する拡散領域相互間を第1層アルミ配線からなる金属配線7によって図16に示す回路を構成する所定の接続を行うことによりTGを構成するものである。ここで用いられるポリビット(Poly bit)からなる配線部材6は、通常、DRAM内で使用されているので、DRAMを内蔵した論理LSIでは、コスト増にならない。図17、図18の従来のベースアレイ構造に比べて、大幅に金属配線領域が減っていることがわかる。

【0035】図3に、Nandゲートからなる論理ゲートのレイアウト図を示す。ここでも、図1に示すベースアレイが用いられている。図1について説明したポリゲート(Polyゲート)5とポリビット(Poly bit)からなる配線部材6による交差ゲート構造を持つP型トランジスタP1およびP型トランジスタP2、ならびに、N型トランジスタN3とN型トランジスタN4からなる4個のトランジスタからなる構成単位Uにおいて、トランジスタP1、P2、N3、N4の各ソース、ドレイン領域を構成する拡散領域相互間および拡散領域と電源配線S、グランド配線G間について、第1層アルミ配線からなる金属配線7によって図15(a)に示す回路を構成する所定の接続を行うことによりNandゲートを構成するものである。TGを使用しない論理ゲートでも、単体インバータを除き、従来のベースアレイ構造と同等の配線領域で、レイアウトが実現できる。

【0036】この発明による実施の形態1によれば、第

1のP型トランジスタP1と、第1のP型トランジスタP1と対をなして配置された第1のN型トランジスタN3と、第1のP型トランジスタP1に並設されて第1のP型トランジスタP1とともにP型トランジスタ列を形成する第2のP型トランジスタP2と、第2のP型トランジスタP2と対をなして配置され第1のN型トランジスタN3に並設されて第1のN型トランジスタN3とともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタN4とを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタP1のゲート1と第2のN型トランジスタN4のゲート4、および、第2のP型トランジスタP2のゲート2と第1のN型トランジスタN3のゲート3を、ゲート1、4と一体に設けられたポリシリコンからなるポリゲート(Polyゲート)と呼ばれるゲート配線5とポリシリコンからなるポリビット(Poly bit)と呼ばれる配線部材6とにより、互いに交差するように結んだ交差ゲート構造をエンベデッドセルアレイ/ゲートアレイ用ベースアレイとして具備するようにしたので、ポリシリコンからなるゲート配線部分5とポリシリコンからなる配線部材6とによる交差ゲート構造によって、半導体装置における金属配線7の構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を持つ半導体装置が得られる。

【0037】また、この発明による実施の形態1によれば、第1のP型トランジスタP1と、第1のP型トランジスタP1と対をなして配置された第1のN型トランジスタN3と、第1のP型トランジスタP1に並設されて第1のP型トランジスタP1とともにP型トランジスタ列を形成する第2のP型トランジスタP2と、第2のP型トランジスタP2と対をなして配置され第1のN型トランジスタN3に並設されて第1のN型トランジスタN3とともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタN4とを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタP1のゲート1と第2のN型トランジスタのN4ゲート4、および、第2のP型トランジスタP2のゲート2と第1のN型トランジスタN3のゲート3を、互いに交差するように結んで交差ゲート構造を持つエンベデッドセルアレイ/ゲートアレイ用ベースアレイとして構成する工程と、前記交差ゲート構造を持つエンベデッドセルアレイ/ゲートアレイ用ベースアレイに所定の配線を施し半導体装置を構成する工程とを含むようにしたので、交差ゲート構造を持つエンベデッドセルアレイ/ゲートアレイ用ベースアレイに金属配線を施すことにより、半導体装置製造過程における金属配線工程を適切に簡素化して高密度化された半導体装置を実現できる交差ゲート構造を持つ半導体装置の製造

方法が得られる。

【0038】実施の形態2. この発明による実施の形態2を、図4ないし図6について説明する。図4は実施の形態2における交差ゲート／従来ゲート分離の混合型により構成したベースアレイからなる半導体装置の構成を示す平面図である。図5は実施の形態2におけるベースアレイからなる半導体装置によってFFを実現した構成を示す平面図である。図6は実施の形態2におけるFFの回路例を示す接続図である。

【0039】実施の形態2では、ベースアレイに、実施の形態1で述べた交差ゲート構造と、従来技術によるゲート分離構造を、両方混在させている。交差セル構造のみでは、シングルスサイズのインバータを実現する際に、トランジスタの領域の無駄が出る可能性がある。従来のゲートアイソレーション構造のトランジスタと混ぜることにより、無駄領域を少なくする。すなわち、実施の形態2における目的は、単体インバータを含む回路を、少ない配線領域で実現することである。

【0040】図4に、交差ゲート／従来ゲート分離の混合型により構成したベースアレイの構造の例を示す。図4において、交差ゲート構造を持つP型トランジスタP1およびN型トランジスタN3のペアと、このペアと対をなすP型トランジスタP2およびN型トランジスタN4のペアからなる、2ペアで4個のトランジスタP1, P2, N3, N4は、一つの構成単位Uを形成し、この構成単位Uが図4では2単位だけ設けられている。すなわち、P型トランジスタP1, P2およびN型トランジスタN3, N4のペアは、計4ペア設けられている。また、図4においては、従来技術によるゲート分離構造を持つP型トランジスタP11, P12およびN型トランジスタN13, N14のペアが計11ペア設けられている。P型トランジスタP11およびN型トランジスタN13のペアと対をなすP型トランジスタP12およびN型トランジスタN14のペアからなる、2ペアで4個のトランジスタP11, P12, N13, N14は、構成単位U1を構成し、分離の必要に応じてP型トランジスタP11およびN型トランジスタN13のペア、または、P型トランジスタP12およびN型トランジスタN14のペアが電源配線Sおよびグランド配線Gに接続される。

【0041】このように、交差ゲート構造を持つトランジスタP1, P2, N3, N4および従来技術によるゲート分離構造を持つトランジスタP11, P12, N13, N14によって、エンベデッドセルアレイ／ゲートアレイ用ベースアレイが構成されている。この例では、これまでのゲート分離型トランジスタP／Nペアが11ペアに対して、ゲート交差型が4ペア存在する構造となっている。

【0042】図5は、このベースアレイのトランジスタ間を金属配線で結んで、図6に回路接続を示すFFを実

現した例である。図において、7は第1層アルミ配線からなる金属配線、8は第2層アルミ配線からなる金属配線である。従来のベースアレイ構造のみでこのFFを実現するものと比べて、大幅に金属配線に必要な領域を減らすことができる。図5では、特に、チップ全体の配置配線の際に、障害物となる第2層アルミ配線8の容易化、ひいてはチップ面積の縮小に有効であることがわかる。

【0043】なお、ここで示した「ゲート分離型トランジスタペア11対、ゲート交差型4ペア」は、論理LSIで良く使用されるFFを効率よく実現するための比率である。これは、他のほとんどの論理ゲートは、ゲート交差型でも従来ゲート分離型と同等の配線領域で実現できるため、FFの配線領域最小化を目的に比率を決めることで、論理LSI全体の配線領域の削減につながるという考えに基づく。ベースアレイ上での交差ゲート／従来ゲート分離のトランジスタペアの比率については、ここで示した以外の比率も考えられる。

【0044】この発明による実施の形態2によれば、第1のP型トランジスタP1と、第1のP型トランジスタP1と対をなして配置された第1のN型トランジスタN3と、第1のP型トランジスタP1に並設されて第1のP型トランジスタP1とともにP型トランジスタ列を形成する第2のP型トランジスタP2と、第2のP型トランジスタP2と対をなして配置され第1のN型トランジスタN3に並設されて第1のN型トランジスタN3とともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタN4とを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、P型トランジスタP1のゲート1とN型トランジスタN4のゲート4をP型トランジスタP1のゲート1からN型トランジスタN4のゲート4へ斜めに延長し両ゲート1, 4と一体に設けられたポリシリコンからなるゲート配線部分5で結ぶとともに、P型トランジスタP2のゲート2とN型トランジスタN4のゲート4をポリシリコンからなる配線部材6で結んだ構造を具備するものであって、P型トランジスタP1のゲート1とN型トランジスタN4のゲート4、および、第2のP型トランジスタP2のゲート2とN型トランジスタN3のゲート3を、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、従来技術によるゲート分離構造を具備する構成単位とを混在させた構成を具備するので、半導体装置における配線7, 8の構成を適切に簡素化して半導体装置の高密度化を的確に達成でき、単体インバータを含む回路を少ない配線領域で実現できる、交差ゲート構造を具備する構成単位と従来技術によるゲート分離構造を具備する構成単位とからなる交差ゲート構造を持つ半導体装置が得られる効果がある。

【0045】実施の形態3. この発明による実施の形態

21

3を、図7について説明する。図7は実施の形態3における交差ゲート構造と従来技術による酸化膜分離構造を両方混在させたベースアレイからなる半導体装置の構成を示す平面図である。

【0046】この実施の形態3は、実施の形態1で述べた交差ゲート構造と、従来の酸化膜分離構造を両方混在させたベースアレイの構成に関するものである。実施の形態3の目的は、実施の形態2と同じで、単体インバータを含む回路を、少ない配線領域で実現することにある。図7に、この場合の下地構造の例を示す。図7において、交差ゲート構造を持つP型トランジスタP1およびN型トランジスタN3のペアと、このペアと対をなすP型トランジスタP2およびN型トランジスタN4のペアからなる、2ペアで4個のトランジスタP1、P2、N3、N4は、一つの構成単位Uを形成し、この構成単位Uが図4では2単位だけ設けられている。また、図7においては、従来技術による酸化膜分離構造を持つP型トランジスタP21、P22およびN型トランジスタN23、N24のペアが設けられている。P型トランジスタP21およびN型トランジスタN23のペアと対をなすP型トランジスタP22およびN型トランジスタN24のペアからなる、2ペアで4個のトランジスタP21、P22、N23、N24は、構成単位U2を形成し、この構成単位U2が図7では2単位だけ設けられている。

【0047】この発明による実施の形態3によれば、実施の形態1における交差ゲート構造を持つ半導体装置において、P型トランジスタP1のゲート1とN型トランジスタN4のゲート4、および、P型トランジスタP2のゲート2とN型トランジスタN3のゲート3を、互いに交差するように結んだ交差ゲート構造を具備する構成単位Uと、従来技術による酸化膜分離構造を具備する構成単位U2とを混在させるようにしたので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成でき、単体インバータを含む回路を少ない配線領域で実現できる、交差ゲート構造を具備する構成単位と従来技術による酸化膜分離構造を具備する構成単位とからなる交差ゲート構造を持つ半導体装置が得られる効果がある。

【0048】実施の形態4。この発明による実施の形態4を、図8および図9について説明する。図8は、実施の形態4における構成を示す平面図である。図9は、実施の形態4におけるベースアレイからなる半導体装置によってTGを実現した構成を示す平面図である。

【0049】この実施の形態4では、P型トランジスタP1、P2：2個とN型トランジスタN3、N4：2個を一つの単位Uとして、図8に示すように、右上側にあるP型トランジスタP2と左下側のN型トランジスタN3のゲート2、3、または、左上側にあるP型トランジスタP1と右下側にあるN型トランジスタN4のゲート

22

1、4のいずれか一方のみを、ポリゲート(Polyゲート)配線5で結んだ構造を持たせたベースアレイに関するものである。ベースアレイでゲート同士が結ばれていないP型トランジスタとN型トランジスタのゲート1、4または2、3は、必要に応じて、金属配線の段階で結線する。

【0050】図9に、TGを金属配線で実現した例を示す。図9(a)は、金属配線7として第1層アルミ配線1A1のみを使用した例、図9(b)は、ゲート間を結ぶ配線に、タングステンからなる金属配線9を用いた例である。すなわち、図9(b)では、P型トランジスタP1のゲート1とN型トランジスタN4のゲート4をP型トランジスタP1からN型トランジスタN4へ斜めに延長し前記両ゲート1、4と一体に設けられたポリシリコンからなるゲート配線部分5で結ぶとともに、前記第2のP型トランジスタP2のゲートと第1のN型トランジスタN3のゲート3をタングステン等の金属配線9で結んだ構造が示されている。このように構成する目的は、例えば、DRAMを内蔵していないLSIでは、製造コストを抑えるために、ポリビット(Poly bit)配線が使用できない場合に、TGを小さな配線領域で作成することである。

【0051】この発明による実施の形態4によれば、第1のP型トランジスタP1と、第1のP型トランジスタP1と対をなして配置された第1のN型トランジスタN3と、第1のP型トランジスタP1に並設されて第1のP型トランジスタP1とともにP型トランジスタ列を形成する第2のP型トランジスタP2と、第2のP型トランジスタP2と対をなして配置され第1のN型トランジスタN3に並設されて第1のN型トランジスタN3とともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタN4とを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、P型トランジスタP1のゲート1とN型トランジスタN4のゲート4をP型トランジスタP1からN型トランジスタN4へ斜めに延長し前記両ゲート1、4と一体に設けられたポリシリコンからなるゲート配線部分5で結ぶとともに、前記第2のP型トランジスタP2のゲートと第1のN型トランジスタN3のゲート3をタングステン等の金属配線9で結んだ構造を具備するので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる、ゲートと一体に設けられたポリシリコンからなるゲート配線部分5およびタングステン等からなる金属配線9で構成した、交差ゲート構造を持つ半導体装置が得られる効果がある。

【0052】実施の形態5。この発明による実施の形態5を、図10について説明する。図10は、実施の形態5における交差ゲート/従来ゲート分離の混合型により構成したベースアレイを示す平面図である。

【0053】この実施の形態5は、図9で示す実施の形態4で述べた1対のP/Nトランジスタのゲート間のみをポリゲート（Polyゲート）配線で結んだ交差構造と、従来技術によるゲート分離構造とを、両方混在させたベースアレイ構造に関するものである。

【0054】図9で示した構造のみでは、シングルサイズのインバータを実現する際に、トランジスタの領域の無駄が出る可能性がある。従来のゲート分離構造のトランジスタと混ぜることにより、無駄領域を少なくする。すなわち、この実施の形態5における目的は、単体インバータを含む回路を、少ない配線領域で実現することである。

【0055】図10に、交差ゲート／従来ゲート分離の混合型により構成したベースアレイの構造の例を示す。図10において、交差ゲート構造を持つP型トランジスタP1およびN型トランジスタN3のペアと、このペアと対をなすP型トランジスタP2およびN型トランジスタN4のペアからなる、2ペアで4個のトランジスタP1、P2、N3、N4は、一つの構成単位Uを形成し、この構成単位Uが図4では2単位だけ設けられている。すなわち、P型トランジスタP1、P2およびN型トランジスタN3、N4のペアは、計4ペア設けられている。また、図10においては、従来技術によるゲート分離構造を持つP型トランジスタP11、P12およびN型トランジスタN13、N14のペアが計11ペア設けられている。P型トランジスタP11およびN型トランジスタN13のペアと対をなすP型トランジスタP12およびN型トランジスタN14のペアからなる、2ペアで4個のトランジスタP11、P12、N13、N14は、構成単位U1を構成し、分離の必要に応じてP型トランジスタP11およびN型トランジスタN13のペア、または、P型トランジスタP12およびN型トランジスタN14のペアが電源配線Sおよびグランド配線Gに接続される。

【0056】このように、交差ゲート構造を持つトランジスタP1、P2、N3、N4および従来技術によるゲート分離構造を持つトランジスタP11、P12、N13、N14によって、エンベデッドセルアレイ／ゲートアレイ用ベースアレイが構成されている。この例では、これまでのゲート分離型トランジスタP/Nペアが11ペアに対して、ゲート交差型が4ペア存在する構造となっている。

【0057】この発明による実施の形態5によれば、第1のP型トランジスタP1と、第1のP型トランジスタP1と対をなして配置された第1のN型トランジスタN3と、第1のP型トランジスタP1に並設されて第1のP型トランジスタP1とともにP型トランジスタ列を形成する第2のP型トランジスタP2と、第2のP型トランジスタP2と対をなして配置され第1のN型トランジスタN3に並設されて第1のN型トランジスタN3とと

もに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタN4とを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、P型トランジスタP1のゲート1とN型トランジスタN4のゲート4、および、P型トランジスタP2のゲート2とN型トランジスタN3のゲート3を、ポリシリコンからなるポリゲート配線部分5とタングステン等からなる金属配線で互いに交差するように結んだ交差ゲート構造を具備する構成単位Uと、ゲート分離構造を具備する構成単位U1とを混在させたので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成でき、単体インバータを含む回路を少ない配線領域で実現できる、交差ゲート構造を具備する構成単位とゲート分離構造を具備する構成単位からなる交差ゲート構造を持つ半導体装置が得られる効果がある。

【0058】実施の形態6. この発明による実施の形態6を、図11について説明する。図11は、実施の形態6における交差ゲート／従来酸化膜分離の混合型により構成したベースアレイを示す平面図である。

【0059】この実施の形態6は、実施の形態4で述べたゲート構造と、従来の酸化膜分離構造を両方混在させたベースアレイの構造に関するものである。実施の形態6の目的は、実施の形態5と同じで、単体インバータを含む回路を、少ない配線領域で実現することにある。

【0060】図11に交差ゲート／従来酸化膜分離の混合型により構成したベースアレイの構造の例を示す。図11において、交差ゲート構造を持つP型トランジスタP1およびN型トランジスタN3のペアと、このペアと対をなすP型トランジスタP2およびN型トランジスタN4のペアからなる、2ペアで4個のトランジスタP1、P2、N3、N4は、一つの構成単位Uを形成し、この構成単位Uが図11では2単位だけ設けられている。また、図11においては、従来技術による酸化膜分離構造を持つP型トランジスタP21、P22およびN型トランジスタN23、N24のペアが設けられている。P型トランジスタP21およびN型トランジスタN23のペアと対をなすP型トランジスタP22およびN型トランジスタN24のペアからなる、2ペアで4個のトランジスタP21、P22、N23、N24は、構成単位U2を形成し、この構成単位U2が図11では2単位だけ設けられている。

【0061】この発明による実施の形態6によれば、第1のP型トランジスタP1と、第1のP型トランジスタP1と対をなして配置された第1のN型トランジスタN3と、第1のP型トランジスタP1に並設されて第1のP型トランジスタP1とともにP型トランジスタ列を形成する第2のP型トランジスタP2と、第2のP型トランジスタP2と対をなして配置され第1のN型トランジスタN3に並設されて第1のN型トランジスタN3とと

もに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタN4とを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、P型トランジスタP1のゲート1とN型トランジスタN4のゲート4、および、P型トランジスタP2のゲート2とN型トランジスタN3のゲート3を、ポリシリコンからなるポリゲート配線部分5とタングステン等からなる金属配線で互いに交差するように結んだ交差ゲート構造を具備する構成単位Uと、酸化膜分離構造を具備する構成単位U2とを混在させたので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成でき、単体インバータを含む回路を少ない配線領域で実現できる、交差ゲート構造を具備する構成単位と酸化膜分離構造を具備する構成単位からなる交差ゲート構造を持つ半導体装置が得られる効果がある。

【0062】実施の形態7. この発明による実施の形態7を、図12について説明する。図12は、実施の形態7における論理セルの配置工程を示すフローチャートである。

【0063】この実施の形態7は、交差ゲート構造と従来構造の混合型ベースアレイを使用して論理LSIのレイアウトを作成する際に、配置の際に使用する各論理セル（ある論理機能を実現するための金属配線パターン）について、交差ゲート構造を含む／含まないによって、含む場合は、交差ゲートのセル内での位置によって、互いに異なる複数のレイアウトと、レイアウトを用意しておき、チップレベルの配置の際に、当該論理セルが配置される場所における、ベースアレイのトランジスタ構造により、複数の用意したレイアウトから、そのトランジスタ構造に合うレイアウトを選択する、セル配置方式に関する。

【0064】図12は、この配置方法のフローチャートを示す。この実施の形態7では、前述した実施の形態1～6の交差ゲート構造を持つ半導体装置の構成で、交差ゲート構造を具備する構成単位Uと、交差ゲート構造を有しない構成単位U1またはU2を混在させたものにおいて、論理LSIのレイアウトを作成するときの論理セル配置を図12に示すフローチャートで実現するものである。

【0065】図12において、ステップS1では、交差ゲート構造の有無無し、交差ゲートの位置により、互いに異なった複数のレイアウトを用意する。ステップS2では、チップレベルのセル配置で、ベースアレイ上で、各論理セルが配置される位置を確定する。ステップS3では、当該位置でのベースアレイのトランジスタ構造に適合する論理セルのレイアウトを選択する。ステップS4では、各セルの位置の確定と、使用するセルのレイアウトの確定を行う。

【0066】例えば、図4で示した実施の形態2にお

るベースアレイで、論理LSI全体のレイアウトを作る場合を考える。論理セルについて、交差ゲート構造の有無無し、交差ゲートの位置により、互いに異なった複数のレイアウトを用意する。すなわち、Nand論理を実現する論理セル（Nandセル）については、図15（b）と図3に示した、両方の金属パターンを用意しておく（ステップS1）。

【0067】チップレベルのセル配置で、ベースアレイ上で、各論理セルが配置される位置を確定し、当該位置でのベースアレイのトランジスタ構造に適合する論理セルのレイアウトを選択する。すなわち、チップレベルの配置の際に、このNandセルを、ベースアレイ上の交差ゲート構造のトランジスタが存在する位置に実現する場合には、図3の金属パターンを、従来のゲート分離方式のトランジスタが存在する位置に実現する場合は、図15（b）の金属パターンを選択して、これを配置する（ステップS2、S3）。各セルの位置を確定し、使用するセルのレイアウトを確定する（ステップS4）。

【0068】これにより、交差ゲートとこれまでの構造の混合ベースアレイを用いた場合に、セルの配置位置の制約（下地構造にあった位置にしか配置できない）のために、チップサイズが増加することを防止できる。

【0069】この発明による実施の形態7によれば、第1のP型トランジスタP1と、第1のP型トランジスタP1と対をなして配置された第1のN型トランジスタN3と、第1のP型トランジスタP1に並設されて第1のP型トランジスタP1とともにP型トランジスタ列を形成する第2のP型トランジスタP2と、第2のP型トランジスタP2と対をなして配置され第1のN型トランジスタN3に並設されて第1のN型トランジスタN3とともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタN4とを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、図4に示されるように、第1のP型トランジスタP1のゲート1と第2のN型トランジスタN4のゲート4、および、第2のP型トランジスタP2のゲートと第1のN型トランジスタN3のゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位Uと、前記交差ゲート構造を具備しない構成単位U1とを混在させ、それぞれの構成単位で所定の論理セルを構成するものにおいて、各論理セル毎に、交差ゲート構造の有無、交差ゲートの位置により、互いに異なった複数のレイアウトを用意する工程と、チップレベルのセル配置で、ベースアレイ上で、各論理セルが配置される位置を確定する工程と、当該位置でのベースアレイのトランジスタ構造に適合する論理セルのレイアウトを選択する工程と、各論理セルの位置と使用する論理セルのレイアウトの確定を行う工程とを含むので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる、論

理セルを適切に構成するための交差ゲート構造を持つ半導体装置の製造方法が得られる効果がある。

【0070】

【発明の効果】第1の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備するので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を持つ半導体装置が得られる効果がある。

【0071】第2の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造をエンベデッドセルアレイ用ベースアレイとして具備するので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を持つエンベデッドセルアレイ用ベースアレイからなる半導体装置が得られる効果がある。

【0072】第3の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタ

とを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造をゲートアレイ用ベースアレイとして具備するので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を持つゲートアレイ用ベースアレイからなる半導体装置が得られる効果がある。

【0073】第4の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートをポリシリコンからなるゲート配線部材で結んだ構造を具備するので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できるポリシリコンからなるゲート配線部材を備えた交差ゲート構造を持つ半導体装置が得られる効果がある。

【0074】第5の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結んだ構造を具備するので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できるゲートと一体に設けられたポリシリコンからなるゲート配線部分を備えた交差ゲート構造を持つ半導体装置が得られる効果がある。

【0075】第6の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トラン

ンジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結ぶとともに、前記第2のP型トランジスタと第1のN型トランジスタのゲートをポリシリコンからなる配線部材で結んだ構造を具備するので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できるゲートと一体に設けられたポリシリコンからなるゲート配線部分およびポリシリコンからなる配線部材で構成した交差ゲート構造を持つ半導体装置が得られる効果がある。

【0076】第7の発明によれば、第1ないし第6の発明において、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、ゲート分離構造を具備する構成単位とを混在させたので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を具備する構成単位とゲート分離構造を具備する構成単位とからなる交差ゲート構造を持つ半導体装置が得られる効果がある。

【0077】第8の発明によれば、第1ないし第6の発明において、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、酸化膜分離構造を具備する構成単位とを混在させたので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を具備する構成単位と酸化膜分離構造を具備する構成単位とからなる交差ゲート構造を持つ半導体装置が得られる効果がある。

【0078】第9の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行する

N型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結ぶとともに、前記第2のP型トランジスタと第1のN型トランジスタのゲートを金属配線で結んだ構造を具備するので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる、ゲートと一体に設けられたポリシリコンからなるゲート配線部分および金属配線で構成した、交差ゲート構造を持つ半導体装置が得られる効果がある。

【0079】第10の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲートを前記第1のP型トランジスタから第2のN型トランジスタへ斜めに延長し前記両ゲートと一体に設けられたポリシリコンからなるゲート配線部分で結ぶとともに、前記第2のP型トランジスタと第1のN型トランジスタのゲートをタングステンからなる金属配線で結んだ構造を具備するので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる、ゲートと一体に設けられたポリシリコンからなるゲート配線部分およびタングステンからなる金属配線で構成した、交差ゲート構造を持つ半導体装置が得られる効果がある。

【0080】第11の発明によれば、第9または第10の発明において、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、ゲート分離構造を具備する構成単位とを混在させたので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる、交差ゲート構造を具備する構成単位とゲート分離構造を具備する構成単位からなる交差ゲート構造を持つ半導体装置が得られる効果がある。

【0081】第12の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配

置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するものにおいて、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、酸化膜分離構造を具備する構成単位とを混在させたので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる、交差ゲート構造を具備する構成単位と酸化膜分離構造を具備する構成単位とからなる交差ゲート構造を持つ半導体装置が得られる効果がある。

【0082】第13の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んで交差ゲート構造を持つベースアレイを構成する工程と、前記交差ゲート構造を持つベースアレイに所定の配線を施し半導体装置を構成するようにしたので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を持つ半導体装置の製造方法が得られる効果がある。

【0083】第14の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあ

り、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んで交差ゲート構造を持つエンベデッドセルアレイ用ベースアレイとして構成する工程と、前記交差ゲート構造を持つエンベデッドセルアレイ用ベースアレイに所定の配線を施し半導体装置を構成する工程とを含むようにしたので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を持つエンベデッドセルアレイ用ベースアレイからなる半導体装置の製造方法が得られる効果がある。

【0084】第15の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んで交差ゲート構造を持つゲートアレイ用ベースアレイを構成する工程と、前記交差ゲート構造を持つゲートアレイ用ベースアレイに所定の配線を施し半導体装置を構成する工程とを含むので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる交差ゲート構造を持つゲートアレイ用ベースアレイからなる半導体装置の製造方法が得られる効果がある。

【0085】第16の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲートを結ぶポリシリコンからなるゲート配線部分について、このゲート配線部分を前記両ゲートと一体に形成する工程を含むので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できるゲートと一体に形成したポリシリコンからなるゲート配線部分を備えた交差ゲート構造を持つ半導体装置の

製造方法が得られる効果がある。

【0086】第17の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと、前記第1のP型トランジスタに並設された第2のP型トランジスタと、前記第1のP型トランジスタと対向して設けられた第1のN型トランジスタと、前記第1のN型トランジスタに並設され前記第2のP型トランジスタと対向して設けられた第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲートを結ぶポリシリコンからなるゲート配線部分について、このゲート配線部分を前記両ゲートと一体に形成する工程と、第2のP型トランジスタと第1のN型トランジスタのゲートをポリシリコンからなる配線部材で結ぶ工程とを含むので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できるポリシリコンからなる配線部材を備えた交差ゲート構造を持つ半導体装置の製造方法が得られる効果がある。

【0087】第18の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、前記交差ゲート構造を具備しない構成単位とを混在させ、それぞれの構成単位で所定の論理セルを構成するものにおいて、各論理セルにつき交差ゲート構造の有無に応じて論理セルのレイアウトを選択する工程と、選択されたレイアウトにより論理セルを構成する工程とを含むようにしたので、半導体装置における配線構成を適切に簡素化して半

導体装置の高密度化を的確に達成できる、論理セルを構成するための交差ゲート構造を持つ半導体装置の製造方法が得られる効果がある。

【0088】第19の発明によれば、第1のP型トランジスタと、前記第1のP型トランジスタと対をなして配置された第1のN型トランジスタと、前記第1のP型トランジスタに並設されて第1のP型トランジスタとともにP型トランジスタ列を形成する第2のP型トランジスタと、前記第2のP型トランジスタと対をなして配置され前記第1のN型トランジスタに並設されて第1のN型トランジスタとともに前記P型トランジスタ列に並行するN型トランジスタ列を形成する第2のN型トランジスタとを一つの構成単位として備えたベースアレイに所定の配線を施すことによって半導体装置を構成するにあたり、第1のP型トランジスタと第2のN型トランジスタのゲート、および、第2のP型トランジスタと第1のN型トランジスタのゲートを、互いに交差するように結んだ交差ゲート構造を具備する構成単位と、前記交差ゲート構造を具備しない構成単位とを混在させ、それぞれの構成単位で所定の論理セルを構成するものにおいて、各論理セル毎に、交差ゲート構造の有無、交差ゲートの位置により、互いに異なった複数のレイアウトを用意する工程と、チップレベルのセル配置で、ベースアレイ上で、各論理セルが配置される位置を確定する工程と、当該位置でのベースアレイのトランジスタ構造に適合する論理セルのレイアウトを選択する工程と、各論理セルの位置と使用する論理セルのレイアウトの確定を行う工程とを含むので、半導体装置における配線構成を適切に簡素化して半導体装置の高密度化を的確に達成できる、論理セルを適切に構成するための交差ゲート構造を持つ半導体装置の製造方法が得られる効果がある。

【図面の簡単な説明】

【図1】 この発明による実施の形態1における交差ゲート構造を持つ半導体装置の構成を示す平面図である。

【図2】 この発明による実施の形態1において実現したTGを示す平面図である。

【図3】 この発明による実施の形態1において実現したNand論理を示す平面図である。

【図4】 この発明による実施の形態2における交差ゲート構造を持つ半導体装置の構成を示す平面図である。

【図5】 この発明による実施の形態2において実現したFFを示す平面図である。

【図6】 この発明による実施の形態2において実現したFFの回路例を示す接続図である。

【図7】 この発明による実施の形態3における交差ゲート構造を持つ半導体装置の構成を示す平面図である。

【図8】 この発明による実施の形態4における交差ゲート構造を持つ半導体装置の構成を示す平面図である。

【図9】 この発明による実施の形態4においてTGを金属配線で実現した構成を示す平面図である。

【図10】 この発明による実施の形態5における交差ゲート構造を持つ半導体装置の構成を示す平面図である。

【図11】 この発明による実施の形態6における交差ゲート構造を持つ半導体装置の構成を示す平面図である。

【図12】 この発明による実施の形態7における論理セルの配置工程を示すフローチャートである。

【図13】 従来技術によるゲート分離方式ベースアレイにおける構成を示す平面図である。

【図14】 従来技術による酸化膜分離方式ベースアレイにおける構成を示す平面図である。

【図15】 従来技術によるゲート分離方式と酸化膜分離方式におけるNand論理および構成を示す回路図お

よび平面図である。

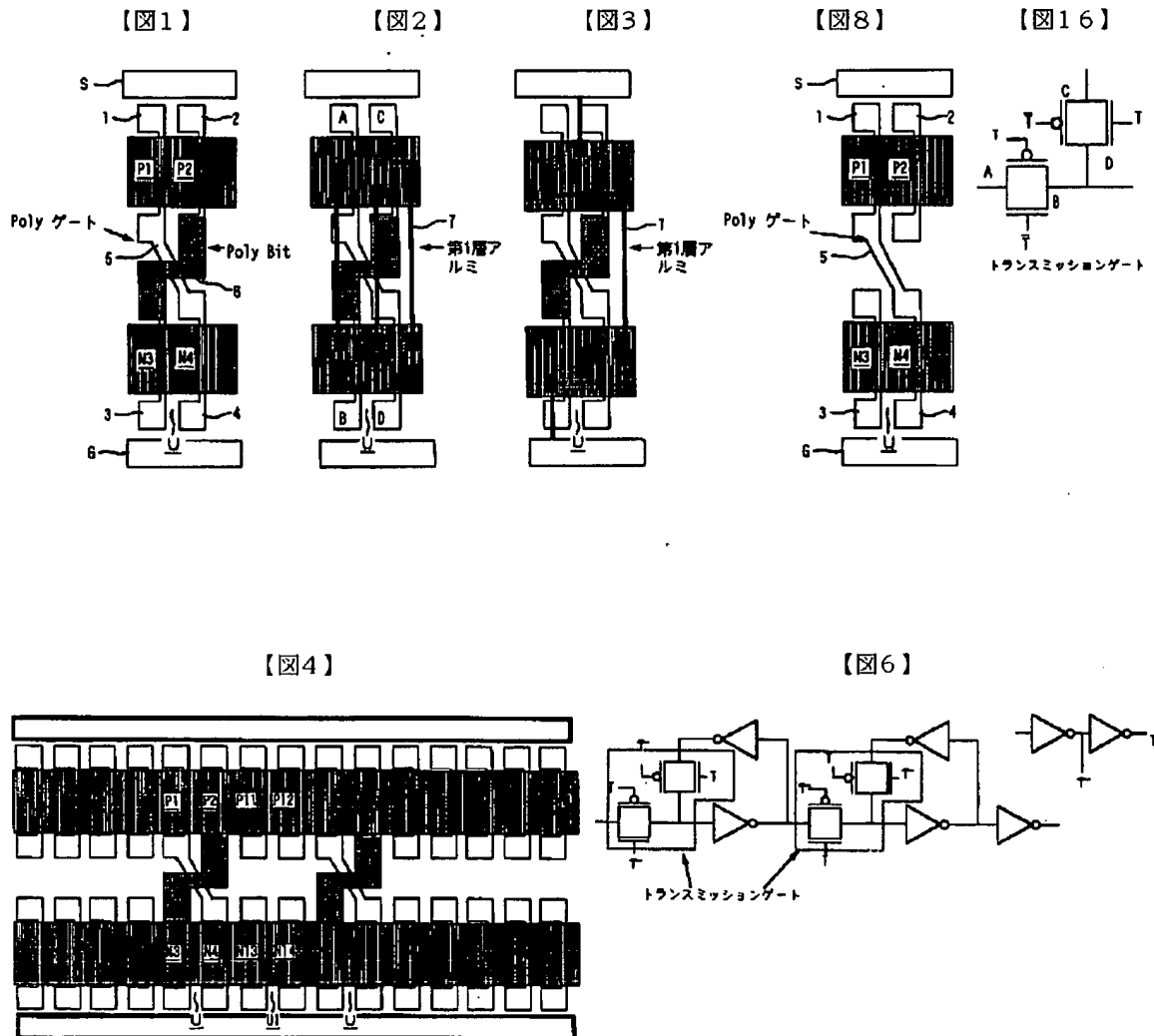
【図16】 TGの回路構成を示す接続図である。

【図17】 従来技術によるゲート分離方式でのTGの実現例を示す平面図である。

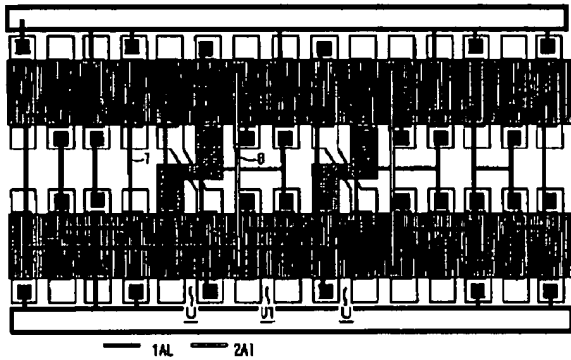
【図18】 従来技術による酸化膜分離方式でのTGの実現例を示す平面図である。

【符号の説明】

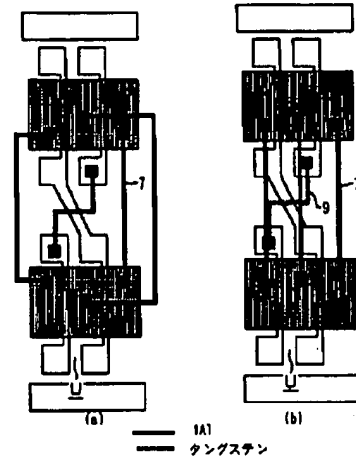
1, 2, 3, 4 ゲート、5 ゲート配線部分、6 ゲート配線部材、P1, P2 P型トランジスタ、N3, N4 N型トランジスタ、P11, P12 P型トランジスタ、N13, N14 N型トランジスタ、P21, P22 P型トランジスタ、N23, N24 N型トランジスタ、S 電源配線、G グランド配線、U, U1, U2 構成単位。



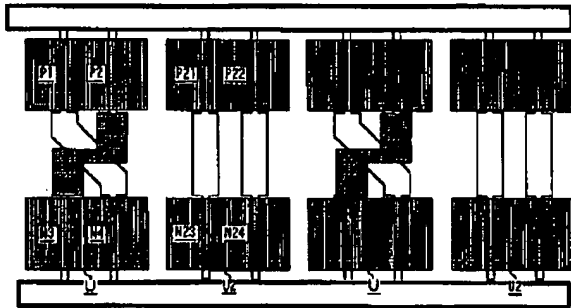
【図5】



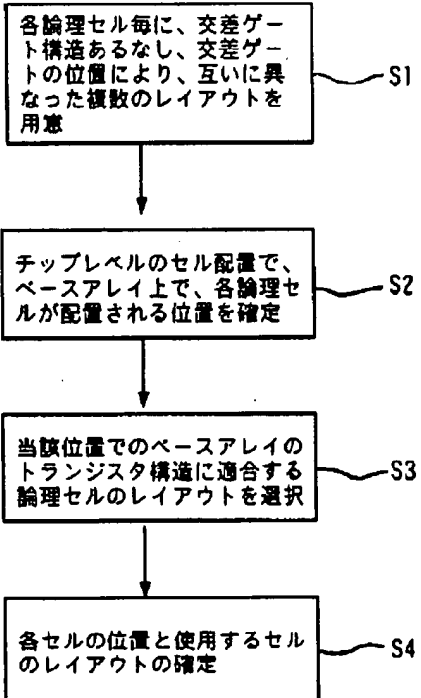
【図9】



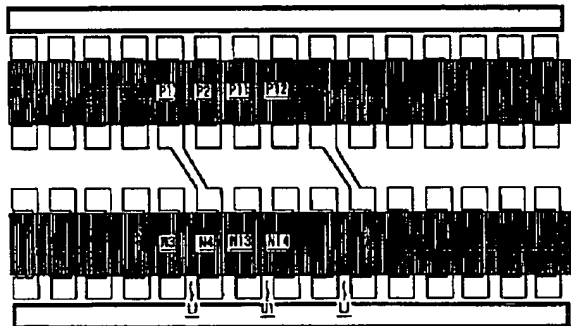
【図7】



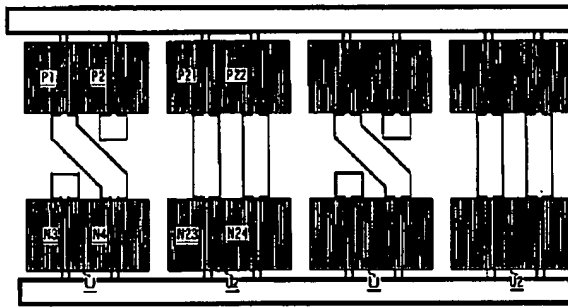
【図12】



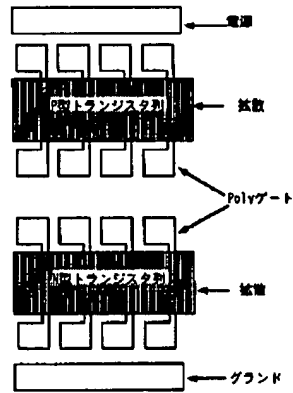
【図10】



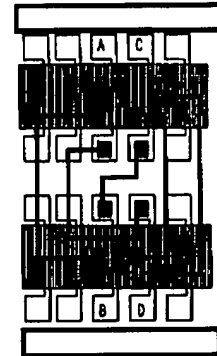
【図11】



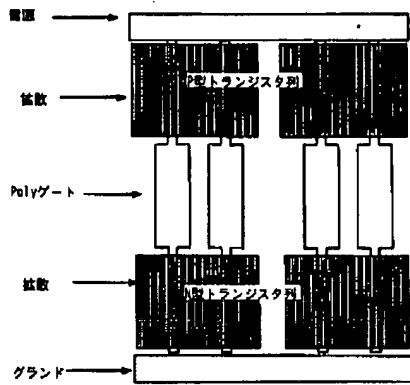
【図13】



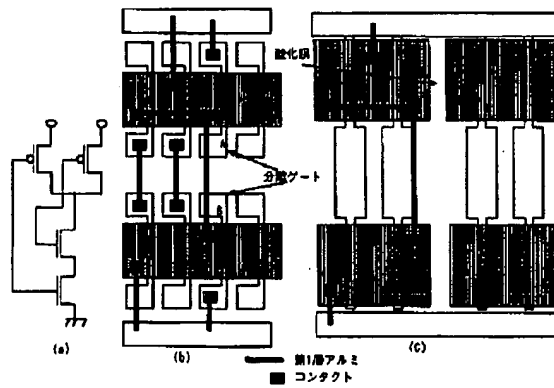
【図17】



【図14】



【図15】



【図18】

